



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11261063 A**(43) Date of publication of application: **24.09.99**

(51) Int. Cl.

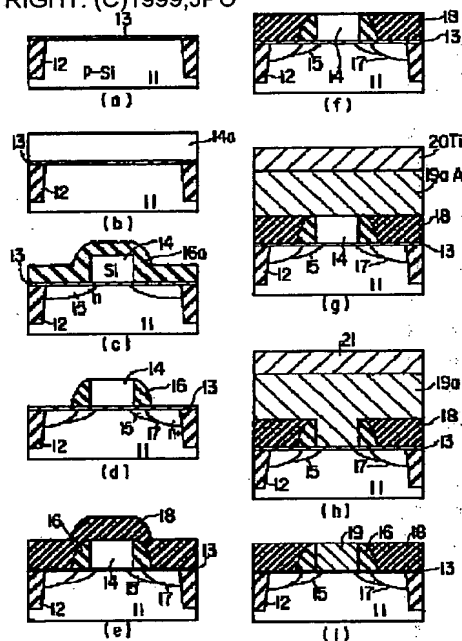
H01L 29/78
H01L 21/336
(21) Application number: **10065346**(22) Date of filing: **16.03.98**(71) Applicant: **TOSHIBA CORP**
 (72) Inventor: **AKASAKA YASUSHI**
OKUMURA KATSUYA
ARIKADO TSUNETOSHI
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device which operates surely preventing a short circuit from occurring between a gate electrode and source/drain regions and where the gate electrode is formed substituting a gate electrode material with silicon.

SOLUTION: A dummy gate 14 of silicon is formed in a prescribed region on a gate oxide film 13 (c). A side wall insulating film 16 is formed on the side of a dummy gate 14, and ions are implanted using the side insulating film 16 and the dummy gate 14 as a mask, whereby N⁺-type diffusion layers 17 which form source/drain regions are formed. Thereafter, an annealing operation is carried out at a temperature of 800°C for 30 minutes or so to activate the N⁺-type diffusion layers 17. An interlayer insulating film 18 is formed thicker than the dummy gate by deposition (e). The surface of the interlayer insulating film 18 is flattened through CMP, and the surface of the dummy gate 14 is exposed (f). An Al film 19a and a Ti film 20 are successively deposited. An annealing process is carried out at a temperature of 450°C or so, whereby the

Al film 19a is arranged in a region where the dummy gate 14 is formed so as to serve as a gate electrode.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261063

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁴H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 G

3 0 1 P

審査請求 未請求 請求項の数5 OL (全 8 頁)

(21) 出願番号 特願平10-65346

(22) 出願日 平成10年(1998) 3月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 赤坂 泰志

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 奥村 勝弥

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 有門 経敏

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

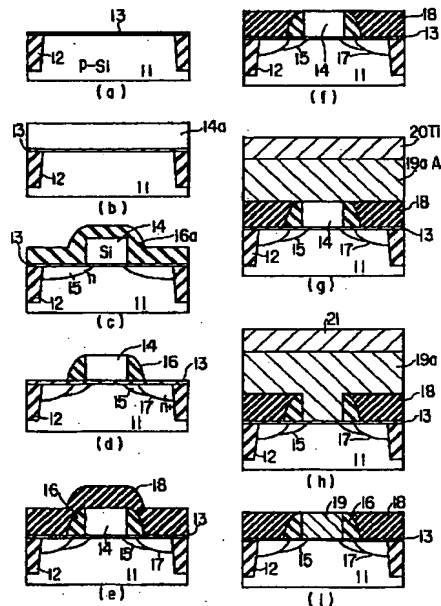
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】ソース・ドレイン領域とゲート電極とを電氣的に接続させない。

【解決手段】ゲート酸化膜13上の所定領域にシリコンからなるダミーゲート14を形成する(図1(c))。ダミーゲート14の側部に側壁絶縁膜16を形成し、側壁絶縁膜16及びダミーゲート14をマスクにイオンを注入することで、ソース・ドレイン領域を構成するn⁺型拡散層17を形成する。その後、n⁺型拡散層17を活性化するために、800℃、30分程度、程度のアニールを行う。層間絶縁膜18をダミーゲート14よりも厚く堆積する(図1(e))。層間絶縁膜18の表面をCMPによって平坦化し、ダミーゲート14の表面を露出させる(図1(f))。Al膜19a及びTi膜20を順次堆積する。図1(h)450℃程度のアニール工程を行うことで、ダミーゲート14が形成されていた領域にゲート電極となるAl膜19aを配置する。



【特許請求の範囲】

【請求項1】シリコン基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上の所定領域にシリコンからなるダミーゲートを形成する工程と、

前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、

前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、

第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、

少なくとも前記ダミーゲート上に少なくともアルミニウムを含むゲート電極材を形成する工程と、

前記ゲート電極材及びダミーゲートを加熱して前記ダミーゲートと前記ゲート電極材とを置換する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】シリコン基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上の所定領域にシリコンからなるダミーゲートを形成する工程と、

前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、

前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、

第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、

少なくとも前記ダミーゲート上に少なくともアルミニウムを含むゲート電極材を形成する工程と、

前記ゲート電極材上にシリコンと化合物を形成する金属膜を形成する工程と、

前記ゲート電極材、ダミーゲート及び金属膜を加熱して前記ダミーゲートと該ゲート電極材とを置換するとともに、該ゲート電極材上に該ダミーゲートと該金属膜との化合物を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】シリコン基板上にバッファ絶縁膜を形成する工程と、

前記バッファ絶縁膜上の所定領域にダミーゲートを形成する工程と、

前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、

前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、

第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、

前記ダミーゲート及び該ダミーゲートの下方の前記バッファ絶縁膜を除去し、前記シリコン基板を露出させる工

程と、

露出する前記シリコン基板上にゲート絶縁膜を形成する工程と、

前記ダミーゲートが形成されていた領域にシリコン膜を形成する工程と、

少なくとも前記シリコン膜上に少なくともアルミニウムを含むゲート電極材を形成する工程と、

前記ゲート電極材及びシリコン膜を加熱して、該シリコン膜と該ゲート電極材とを置換する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】シリコン基板上にバッファ絶縁膜を形成する工程と、

前記バッファ絶縁膜上の所定領域にダミーゲートを形成する工程と、

前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、

前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、

第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、

前記ダミーゲート及び該ダミーゲートの下方の前記バッファ絶縁膜を除去し、前記シリコン基板を露出させる工程と、

露出する前記シリコン基板の表面にゲート絶縁膜を形成する工程と、

前記ダミーゲートが形成されていた領域にシリコン膜を形成する工程と、

少なくとも前記シリコン膜上に少なくともアルミニウムを含むゲート電極材を形成する工程と、

前記ゲート電極材上にシリコンと化合物を形成する金属膜を形成する工程と、

前記ゲート電極材、シリコン膜及び金属膜を加熱して該シリコン膜と該ゲート電極材を置換するとともに、該ゲート電極材上に該シリコン膜と該金属膜との化合物を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】前記ダミーゲートの形成されていた領域に前記ゲート電極材を配置した後、

第1の層間絶縁膜の上方に形成されている前記ゲート電極材並びに、シリコン膜又は化合物の表面を除去し、第1の層間絶縁膜を露出させる工程と、

前記ゲート電極材の表面に該ゲート電極材の酸化膜を形成する工程と、

第1の層間絶縁膜及び前記酸化膜上に第2の層間絶縁膜を形成する工程と、

第1及び第2の層間絶縁膜の所定領域を選択的にエッチングし、前記ソース・ドレイン領域に接続する開口を形成する工程とを含むことを特徴とする請求項1～4の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Al等の金属をゲート電極に用いた電界効果トランジスタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】LSIを構成するMOSFETの製造方法において、不純物をドーブした多結晶Siやアモルファスシリコン等でゲート電極を形成した後、ゲート電極をマスクに用いてイオン注入を行ってソース・ドレイン領域を自己整合的に形成することが行われている。このような方法を用いると、著しく素子の寸法を縮小することができるため、現在ではほとんどのLSIで用いられている。

【0003】しかしながら、LSIの動作の高速化に伴い、ゲートの抵抗と容量の結合による遅延成分（ゲートRC遅延）がLSIの動作速度を律する要因となっており、ゲートの低抵抗化が必須となっている。

【0004】ゲートの低抵抗化をはかるため、ソース・ドレイン領域の活性化等の高温工程にも耐え得る材料としてMoSi、WSiなどの高融点金属珪化物と多結晶シリコンとを積層したポリサイド構造がゲート電極に用いられるようになった。また、比抵抗の低いW、Moなどと多結晶シリコンと積層する試みも行われている。

【0005】しかし、高速化と素子の縮小に伴うゲート電極の薄膜化の要請に応えるためにはさらに比抵抗の低い材料をゲート電極に用いることが必要である。しかし、一般に比抵抗の低い金属は熱的な安定性が低いため、ソース・ドレイン領域を活性化するためのアニール工程に耐えることができず、ソース・ドレイン領域を自己整合的に形成することができなかった。

【0006】そこで、Al等のゲート電極を形成する方法が、特開平7-66203号に記載されている。予め、ゲート絶縁膜上にゲート形状のシリコンを形成し、該シリコンをマスクとしてソース・ドレイン領域を自己整合的に形成する。次いで、層間絶縁膜を全面に堆積した後、該層間絶縁膜にシリコンに接続するスルーホールを形成する。次いで、全面にAl膜を形成した後、350℃以上に加熱して、Al膜とシリコンを置換する。

【0007】この手法を用いると、ソース・ドレイン領域を自己整合的に形成することができ、且つAl膜をゲート電極として用いることができる。ところが、リソグラフィの裕度が少ない現状では、シリコンに接続するスルーホールを形成する際、合わせズレが起こり、スルーホールがソース・ドレイン領域に接続してしまう。その後Al膜を形成して置換を行うとソース・ドレイン領域とゲート電極とが電気的に接続してしまうという問題があった。

【0008】

【発明が解決しようとする課題】上述したように、シリ

コンに接続するスルーホールを形成する際に、スルーホールの形成の際にパターンの合わせズレが起こると、ソース・ドレイン領域とゲート電極とがショートし、素子の動作しないを起こすという問題があった。

【0009】本発明の目的は、ゲート電極材とシリコンとを置換してゲート電極を形成する半導体装置の製造方法において、ゲート電極とソース・ドレイン領域とのショートを防止し、確実に素子が動作し得る半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

(1) 本発明（請求項1）の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上の所定領域にシリコンからなるダミーゲートを形成する工程と、前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、少なくとも前記ダミーゲート上に少なくともアルミニウムを含むゲート電極材を形成する工程と、前記ゲート電極材及びダミーゲートを加熱して前記ダミーゲートと前記ゲート電極材とを置換する工程とを含むことを特徴とする。

(2) 本発明（請求項2）の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上の所定領域にシリコンからなるダミーゲートを形成する工程と、前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、少なくとも前記ダミーゲート上に少なくともアルミニウムを含むゲート電極材を形成する工程と、前記ゲート電極材上にシリコンと化合物を形成する金属膜を形成する工程と、前記ゲート電極材、ダミーゲート及び金属膜を加熱して前記ダミーゲートと該ゲート電極材とを置換するとともに、該ゲート電極材上に該ダミーゲートと該金属膜との化合物を形成する工程とを含むことを特徴とする。

(3) 本発明（請求項3）の半導体装置の製造方法は、シリコン基板上にパッファ絶縁膜を形成する工程と、前記パッファ絶縁膜上の所定領域にダミーゲートを形成する工程と、前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形

成する工程と、第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、前記ダミーゲート及び該ダミーゲートの下方の前記バッファ絶縁膜を除去し、前記シリコン基板を露出させる工程と、露出する前記シリコン基板上にゲート絶縁膜を形成する工程と、前記ダミーゲートが形成されていた領域にシリコン膜を形成する工程と、少なくとも前記シリコン膜上に少なくともアルミニウムを含むゲート電極材を形成する工程と、前記ゲート電極材及びシリコン膜を加熱して、該シリコン膜と該ゲート電極材とを置換する工程とを含むことを特徴とする。

(4) 本発明(請求項4)の半導体装置の製造方法は、シリコン基板上にバッファ絶縁膜を形成する工程と、前記バッファ絶縁膜上の所定領域にダミーゲートを形成する工程と、前記シリコン基板の表面に、前記ダミーゲートをマスクとして不純物をイオン注入し、ソース・ドレイン領域を形成する工程と、前記シリコン基板上に前記ダミーゲートを覆うように第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜の表面を平坦化しつつ、前記ダミーゲートを露出させる工程と、前記ダミーゲート及び該ダミーゲートの下方の前記バッファ絶縁膜を除去し、前記シリコン基板を露出させる工程と、露出する前記シリコン基板の表面にゲート絶縁膜を形成する工程と、前記ダミーゲートが形成されていた領域にシリコン膜を形成する工程と、少なくとも前記シリコン膜上に少なくともアルミニウムを含むゲート電極材を形成する工程と、前記ゲート電極材上にシリコンと化合物を形成する金属膜を形成する工程と、前記ゲート電極材、シリコン膜及び金属膜を加熱して該シリコン膜と該ゲート電極材を置換するとともに、該ゲート電極材上に該シリコン膜と該金属膜との化合物を形成する工程とを含むことを特徴とする。

【0011】上記(1)～(5)に記載した発明の好ましい実施態様を以下に示す。前記ダミーゲートの形成されていた領域に前記ゲート電極材を配置した後、第1の層間絶縁膜の上方に形成されている前記ゲート電極材並びに、シリコン膜又は化合物の表面を除去し、第1の層間絶縁膜を露出させる工程と、前記ゲート電極材の表面に該ゲート電極材の酸化膜を形成する工程と、第1の層間絶縁膜及び前記酸化膜上に第2の層間絶縁膜を形成する工程と、第1及び第2の層間絶縁膜の所定領域を選択的にエッチングし、前記ソース・ドレイン領域に接続する開口を形成する工程とを含む。

【0012】【作用】本発明は、上記構成によって以下の作用・効果を有する。ダミーゲートの表面を露出させる際にリソグラフィ技術を用いずに、ダミーゲート上に形成された層間絶縁膜の表面を平坦化することによって、ダミーゲートの表面を露出させているので、ソース・ドレイン領域が露出することがない。従って、ソース・ドレイン領域とゲート電極とが電気的に接続すること

がない。

【0013】また、ソース・ドレイン領域の形成後に、ゲート絶縁膜を形成することで、ゲート絶縁膜が、ソース・ドレイン領域を活性化させるためのアニール工程を経ることがないので、ダメージを少なくすることができる。また、耐熱性の弱い材料をゲート絶縁膜として用いることができる。また、層間絶縁膜を露出させた後、ゲート電極材の表面に酸化膜を形成することによって、SAC構造とすることができる。

【0014】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【第1実施形態】ここではn型MOSFETの製造方法を説明するが、不純物の導電型を逆転させることでまったく同様にp型MOSFETを形成することができる。

【0015】先ず、図1(a)に示すように、p型、又は表面にp型ウェルが形成されたシリコン基板11の表面に選択的にトレンチ素子分離絶縁膜12を形成した後、露出するシリコン基板11上に厚さ5nm程度のゲート酸化膜13を形成する。

【0016】なお、トレンチ素子分離絶縁膜12以外にも、LOCOSによる素子分離膜を用いることが可能である。また、ゲート酸化膜13は、熱酸化法で形成しても良いし、CVD法等の方法を用いてシリコン酸化膜を堆積することによって形成しても良い。また、ゲート酸化膜は、シリコン酸化膜以外にも、実効膜厚が同等になるような他の誘電体膜を適宜選択して使用することが可能である。

【0017】次いで、図1(b)に示すように、ゲート酸化膜13上にLP-CVD法等を用いて、厚さ100nm程度のアモルファスシリコン膜14aを堆積する。なお、アモルファスシリコン膜に限らず、多結晶シリコンを堆積することも可能である。

【0018】次いで、図1(c)に示すように、アモルファスシリコン膜14aをフォトリソグラフィ技術によってパターニングし、ダミーゲート14を形成する。そして、ダミーゲート14をマスクにAs⁺等のイオンを注入することで、露出するSi基板11の表面にn型拡散層15を形成する。n型拡散層15はいわゆるLDD(Lightly Doped Drain)を形成するものであり、その濃度はたとえば $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。そして、全面に後述する側壁絶縁膜を形成するための厚さ100nm程度のシリコン窒化膜16aをLP-CVD法等によって形成する。なお、この膜は必ずしもシリコン窒化膜である必要はないが、少なくとも後にダミーゲート14の位置に形成されるゲート電極との間の絶縁を確保できる材料であることが望ましい。

【0019】次いで、図1(d)に示すように、シリコン窒化膜16aを異方性エッチングすることにより、ダミーゲート14の側部のみにシリコン窒化膜16aを残

して側壁絶縁膜(LDD側壁)16を形成する。さらに、側壁絶縁膜16及びダミーゲート14をマスクにAs⁺等のイオンを注入することで、ソース・ドレイン領域を構成するn⁺型拡散層17を形成する。このn⁺型拡散層17の濃度は少なくとも $2 \times 10^{20} \text{ cm}^{-2}$ であることが望ましい。その後、n型拡散層15及びn⁺型拡散層17を活性化するために、800℃、30分程度、或いは950℃、30秒程度のアニール工程を行う。このアニール工程は、後述するゲート電極を構成するゲート電極材を堆積する以前に適宜行うことが可能である。

【0020】次いで、図1(e)に示すように、SiO₂等からなる層間絶縁膜18をダミーゲート14よりも厚く堆積する。次いで、図1(f)に示すように、ダミーゲート14をストッパーにして層間絶縁膜18の表面をCMPによって平坦化し、ダミーゲート14の表面を露出させる。なお、層間絶縁膜18の表面をほぼ均一に平坦化することが可能であれば、CMP法以外にエッチバック法等を用いることが可能である。

【0021】次いで、図1(g)に示すように、ダミーゲート14を構成するシリコンを十分に置換するだけの厚さ、望ましくは200nm以上のAl膜19aをスパッタリング法等により堆積する。そして、Al膜19a上に、Al膜19a中に拡散したダミーゲート14を構成するSiをTiSi₂等の安定な化合物として固定するためのTi膜20を堆積する。Ti膜20の膜厚は、ダミーゲート14を構成するシリコンを化合物の形で固定するのに十分な量であることが必要で、この場合望ましくは100nm以上である。

【0022】次いで、図1(h)に示すように、450℃程度のアニール工程を行うことで、ダミーゲート14が形成されていた領域にゲート電極となるAl膜19aが配置する。さらにAl膜19a中に拡散したSiをTi膜20中に取り込み、TiSi₂膜21の形で安定化させる。この事で、Al膜19a中のSiの濃度を下げ、置換を効率的に行うことができる。

【0023】さらに、層間絶縁膜18をストッパーにしてAl膜19a及びTiSi₂膜21に対してCMPを用いて、層間絶縁膜18上のTiSi₂膜21及びAl膜19aを選択的に除去し、ダミーゲート14が設置されていた部分にのみ選択的にAl膜19aを残存させることでゲート電極19を形成する。

【0024】以上説明した方法でAl等の金属ゲートを有する素子を形成した後、配線を形成する方法について、図2を用いて説明する。まず、図1(i)に示した構造に対し、Al膜からなるゲート電極の表面に、O₂、プラズマによる酸化、或いは350℃以下の熱酸化などを用いて、酸化アルミニウム(Al₂O₃)膜30を形成する。なお、熱水でボイルすると、最も効果的にAlを酸化することができる。

【0025】なお、Ti膜20を形成せずに、Al膜1

9aとダミーゲート14との形成位置を置換することも可能である。しかし、この場合は、前述した膜厚より厚くAl膜19aを堆積しなければならない。Ti膜20とダミーゲート14から拡散したSiが反応することによって、置換を効率的に行うことができる為である。Ti膜20を形成せずAl膜19aを厚く形成すると、置換に要する時間及びその後のCMPに要する時間が増大し、素子へのダメージが生じることがある。

【0026】次いで、図2(b)に示すように、全面にSiO₂等からなる第2の層間絶縁膜31を堆積する。次いで、図2(c)に示すように、第2の層間絶縁膜31上にフォトリソグラフィ技術を用いて、レジストパターン32を形成した後、層間絶縁膜18、31をRIE等の異方性エッチングを用いてエッチングし、n⁺型拡散層17aに接続するコンタクト孔33を形成する。この時、SiN、Al₂O₃等に対して選択比の高いSiO₂のエッチング条件を用いることで、SiNからなる側壁絶縁膜16及び酸化アルミニウム膜30を残存させてコンタクト孔33を開口することがでる。

【0027】一般に酸化アルミニウムは、SiO₂に対して非常にエッチングの選択比が高く、且つ絶縁性に優れていることが知られている。この構造においては、コンタクト孔33が、ゲート電極14に対して合わせズレを生じても絶縁が保たれるため、コンタクト孔33はゲート電極14との間に設計上の余裕を設ける必要が無く、素子の占有する面積を小さくすることができ、チップ面積の縮小に効果がある。

【0028】次いで、図3(d)に示すように、層間絶縁膜31上及びコンタクト孔33内にフォトリソグラフィ法を用いて、レジストパターン34を形成し、レジストパターン34をマスクに層間絶縁膜31を異方性エッチングすることでゲート電極19に接続するコンタクト孔35を形成する。この時、エッチングの条件によっては、酸化アルミニウム膜30はエッチングされずに残る。その場合は、Al₂O₃のエッチング工程を追加し、ゲート電極19上のAl₂O₃膜30を完全に除去してコンタクト孔35を完成する。なお、この場合のAl₂O₃膜30のエッチングは、Ar⁺イオン等を用いたスパッタ法を利用した物理的エッチングを用いることが可能である。

【0029】次いで、図3(e)に示すように、少なくともコンタクト孔33、35の上部に溝36を形成する。次いで、図3(f)に示すように、全面に反応防止層37を堆積する。そして、全面に配線を構成する金属を堆積し、CMP法などを用いて層間絶縁膜31上の反応防止層37及び配線を構成する金属を除去し、埋め込み配線38を形成する。なお、溝36とコンタクト孔33、35を形成する順序を逆にしても良い。

【0030】反応防止層37は、例えばTiN、WN、TiSiN、WSiN等の物質が好ましく、堆積方法は

CVD法やスパッタリング法で堆積することができる。また、配線を構成する金属はW、Al、Cu、Agなどが好ましく、CVD法やスパッタ法、またAlの場合は図1で説明したのと同様の方法を用いてSiを置換する方法で形成することもできる。

【0031】図3(d)で説明したAl₂O₃膜30のエッチングは、この反応防止層37を堆積する前に行われていればよく、例えば反応防止層37をスパッタ法で堆積する場合にはスパッタリングを行うのと同装置で連続的にスパッタエッチングを行ってもよい。

【0032】本実施形態によれば、ダミーゲートの表面を露出させる際にリソグラフィ技術を用いずに、ダミーゲート上に形成された層間絶縁膜をCMP法を用いて平坦化することによって、ダミーゲートの表面を露出させているので、ソース・ドレイン領域とゲート電極とが電氣的に接続することがない。

【0033】また、ゲートの形成に用いるプロセスは、シリコンのCVD、金属のスパッタ、低温熱工程などの従来のLSI工程で通常用いられているものであり、新たな装置の導入を必要としないため、安価に高性能なトランジスタを得ることができる。

【0034】(第2実施形態) 図4は、本願発明の第2実施形態に係わる半導体装置の製造工程を示す工程断面図である。まず、図4(a)に示すように、p型シリコン基板11に素子分離12、シリコン酸化膜40、ダミーゲート41、n型拡散層15、側壁絶縁膜16、n型拡散層17、層間絶縁膜18を、第1実施形態と同様の方法で形成する。なお、ダミーゲート41は、層間絶縁膜18に対して選択的にエッチング可能な材料であれば、シリコンである必要はなく、他の材料を用いることができる。

【0035】次いで、図4(b)に示すように、ダミーゲート41及びシリコン酸化膜40を除去する。次いで、図4(c)に示すように、CVD法を用いてシリコン酸化膜を堆積して、ゲート絶縁膜42形成する。ゲート絶縁膜42は、シリコン酸化膜であっても良いし、その他の誘電体であっても良い。形成方法はこの図に示すように、CVD法などを用いて全面に形成しても良いし、側壁絶縁膜16の間に露出したシリコン基板11の表面を直接酸化、あるいは酸化、窒化の組み合わせを行って形成したものでもかまわない。

【0036】次いで、図4(d)に示すように、CVD法やスパッタ法等を用いてダミーゲートが形成されていた溝の少なくとも底面を覆うように反応防止層43を形成する。そして、アモルファスシリコン、或いは多結晶シリコン44を溝の内部を埋め込むように堆積する。

【0037】なお、ゲート絶縁膜42と反応防止層43との組み合わせとして、シリコン酸化膜、シリコン窒化膜又はTa₂O₅等のゲート絶縁膜に対してTiN、W、WSiH等の反応防止層を用いる。また、ゲート絶

縁膜(Ba、Sr)TiO₃、に対して反応防止層Ru、Pt、ゲート絶縁膜Pb(Zr、Ti)O₃、に対して反応防止層Pt等を用いる。

【0038】次いで、図4(e)に示すように、アモルファスシリコンまたは多結晶シリコン44を置換するのに十分な厚さのAl膜45a及びTi膜46を順次堆積する。次いで、図4(f)に示すように、450℃程度の熱工程を加えることでアモルファスまたは多結晶シリコン44をAl膜45aと置換し、Al膜45中に拡散したシリコンをTi膜46中に取り込み、TiSi₂膜47の形で安定化させる。

【0039】次いで、図4(g)に示すように、層間絶縁膜18をストッパーにしてCMPを行い、層間絶縁膜18上のTiSi₂膜47、Al膜45、反応防止層43及びゲート絶縁膜42を除去し、溝内にAl膜45aを残してゲート電極45を形成する。

【0040】本実施形態の場合も、第1実施形態で説明したのと同様の方法を行うことにより、配線を形成することができる。本実施形態によれば、ダミーゲート及びシリコン酸化膜を除去した後、ゲート絶縁膜を形成することによって、任意の材料をゲート絶縁膜として用いることができる。現状では、一般的に熱酸化膜をゲート絶縁膜として用いているが、その厚さは数nm程度で、将来的にはその薄さから信頼性が問題となることは明らかである。そのため、ゲート絶縁膜として耐熱性に劣る材料を選択した場合でも、拡散層の活性化を行うためのアニール工程を経ることがないので、信頼性の向上を図り得る。なお、本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0041】

【発明の効果】以上説明したように本発明によれば、ゲート電極に対して自己整合的にソース・ドレイン領域を形成することができ、またソース・ドレイン形成後にゲート電極が形成されるため、ゲート電極は高温熱工程を経ることが無く、比抵抗の低い金属材料を用いることができる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体装置の製造方法を示す工程断面図。

【図2】第1実施形態に係わる半導体装置の製造方法を示す工程断面図。

【図3】第1実施形態に係わる半導体装置の製造方法を示す工程断面図。

【図4】第2実施形態に係わる半導体装置の製造方法を示す工程断面図。

【符号の説明】

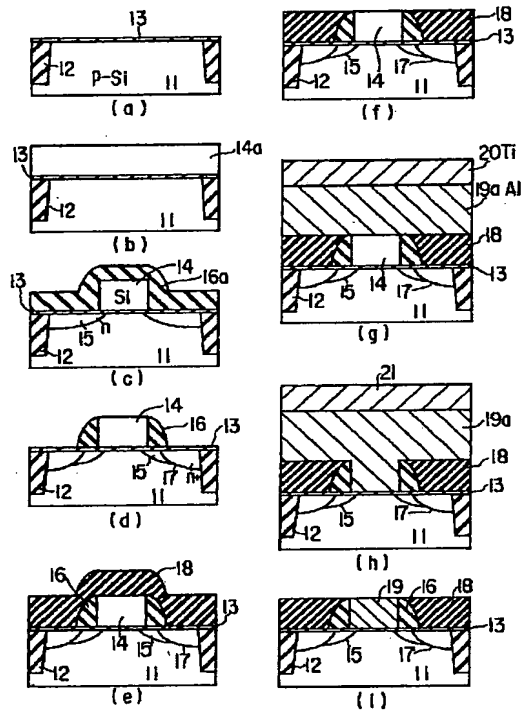
11…シリコン基板

12…トレンチ素子分離絶縁膜

13…ゲート酸化膜

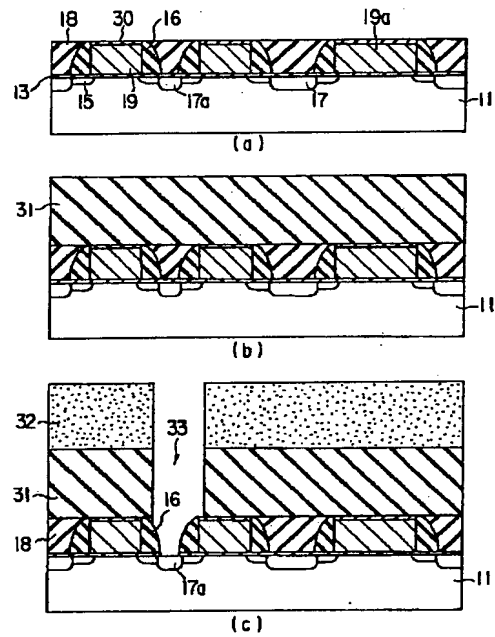
- 14…ダミーゲート
 14a…アモルファスシリコン
 15…n型拡散層
 16…側壁絶縁膜
 16a…シリコン窒化膜
 17…n⁺型拡散層
 18…層間絶縁膜
 19…ゲート電極
 19a…Al膜
 20…Ti膜
 21…Ti, Si₂膜
 30…酸化アルミニウム膜
 31…第2の層間絶縁膜
 32…レジストパターン

【図1】

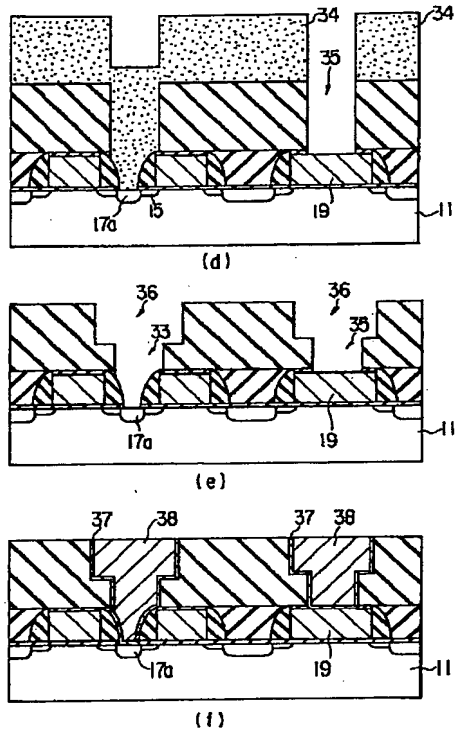


- * 33…コンタクト孔
 34…レジストパターン
 35…コンタクト孔
 36…溝
 37…反応防止層
 38…埋め込み配線
 40…シリコン酸化膜
 41…ダミーゲート
 42…ゲート絶縁膜
 43…反応防止層
 44…アモルファスシリコン、或いは多結晶シリコン膜
 45…Al膜
 46…Ti膜
 * 47…TiSi₂膜

【図2】



【図3】



【図4】

